

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-082093

(43)Date of publication of application : 16.03.1992

(51)Int.Cl.

G11C 16/06
H01L 27/115
H01L 29/788
H01L 29/792

(21)Application number : 02-197472

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 23.07.1990

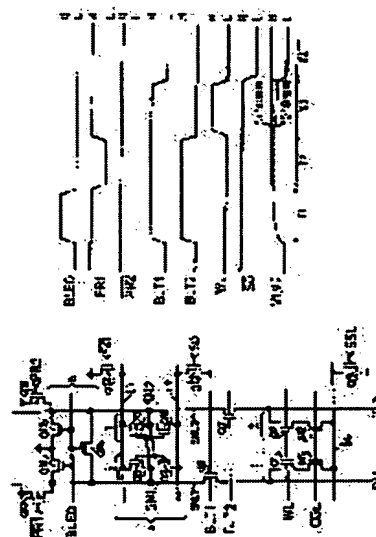
(72)Inventor : HAYASHIGOE MASANORI
MIYAWAKI YOSHIKAZU
TERADA YASUSHI
NAKAYAMA TAKESHI
KOBAYASHI SHINICHI

(54) NONVOLATILE SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To perform high-speed readout by controlling the storage contents of a selection memory transistor to turn a selection bit line to be higher at the time of '1' and to turn a non-selection bit line to be higher at the time of '0'.

CONSTITUTION: When '1' is stored in a memory transistor M1, the memory transistor M1 maintains an off state. So, potential V1 of a sense line SNL1 maintains Vcc to be $V1 > V2$. On the other hand, when '0' is stored in the memory transistor M1, the memory transistor M1 is turned on. So, a bit line BL1 is introduced through a selection transistor Q1 and a memory transistor M1 to a grounded level to be $V1 < V2$. Thus, high-speed readout can be performed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-82093

⑬ Int. Cl.⁵
G 11 C 16/06

識別記号 庁内整理番号

⑭ 公開 平成4年(1992)3月16日

9191-5L G 11 C 17/00 3 0 9 B
7514-4M H 01 L 29/78 3 7 1 ※
審査請求 未請求 請求項の数 1 (全10頁)

⑮ 発明の名称 不揮発性半導体記憶装置

⑯ 特 願 平2-197472

⑰ 出 願 平2(1990)7月23日

⑱ 発 明 者 林 越 正 紀 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内
⑱ 発 明 者 宮 脇 好 和 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内
⑱ 発 明 者 寺 田 康 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内
⑱ 発 明 者 中 山 武 志 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内
⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
⑳ 代 理 人 弁理士 大岩 増雄 外2名
最終頁に続く

明 細 書

1. 発明の名称

不揮発性半導体記憶装置

2. 特許請求の範囲

(1) 第1及び第2の電源から電源供給を行い、マトリクス状に配置され、フローティングゲートとコントロールゲートとを有し不揮発な記憶を行うメモリトランジスタからなるメモリセルと、同一列の前記メモリセルを介して前記第2の電源にそれぞれ接続され、互いに隣合う1組のビット線対を構成した第1及び第2のビット線とを備え、

読み出し時に前記第1及び第2のビット線のうち一方に接続されたメモリセルを行単位で選択し、選択された前記メモリセル内の前記メモリトランジスタがオンすると、このメモリトランジスタを有するメモリセルに接続されたビット線が前記第2の電源に電気的に接続される構成の不揮発性半導体記憶装置であって、

読み出し時に、前記第1及び第2のビット線を

共に、前記第1の電源の電位と前記第2の電源の電位との間の電位である第1の電位に設定する第1の読み出し動作を実行する第1のビット線電位設定手段と、

前記第1の読み出し動作後に、前記第1及び第2のビット線のうち、選択されたメモリセルに接続されたビット線である選択ビット線を所定の抵抗成分を介して前記第1の電源に電気的に接続する第2の読み出し動作を実行する第2のビット線電位設定手段と、

前記第1の読み出し動作後に、選択された前記メモリセルの前記メモリトランジスタの記憶内容の0/1に応じてオン/オフする読み出し電圧を該メモリトランジスタのコントロールゲートに付与する第3の読み出し動作を実行する読み出し電圧付与手段とを備え、前記第3の読み出し動作により前記メモリトランジスタがオンすると前記選択ビット線の電位は、前記第2の読み出し動作の実行中であっても、前記第1の電源と前記第2の電源との間に形成される前記所定の抵抗成分によ

り、少なくとも前記第1の電位より前記第2の電源側の第2の電位に設定され、

前記第2及び第3の読み出し動作後に、前記ビット線対間の電位差を検出し増幅する第4の読み出し動作を実行する電圧センス型センスアンプをさらに備えた不揮発性半導体記憶装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明はE P R O M、E E P R O M等の不揮発性半導体記憶装置に関する。

〔従来の技術〕

第4図は従来のE E P R O Mの基本構成を示す回路図である。同図に示すように、隣接するメモリセル1及び2はそれぞれビット線B L 1及びB L 2に接続されている。メモリセル1及び2はそれぞれ直列に接続されたN M O S選択トランジスタQ 1及びQ 2とメモリトランジスタM 1及びM 2とから構成されており、選択トランジスタQ 1及びQ 2のドレインがそれぞれビット線B L 1及びB L 2に接続され、メモリトランジスタM 1及

びM 2のソースが共通にソース線S Lに接続されている。また、選択トランジスタQ 1及びQ 2のゲートにはワード線W Lが共通に接続され、メモリトランジスタM 1及びM 2のコントロールゲートにはコントロールゲート線C G Lが共通に接続されている。なお、実際にはメモリセルはマトリクス状に配置されており、同一列のメモリセルは共通にビット線に接続され、同一行のメモリセルは共通にワード線及びコントロールゲート線に接続されているが、便宜上、一対のメモリセル1、2とその周辺のみ図示している。

一方、ビット線B L 1及びB L 2はビット線対を構成しており、その一端がそれぞれN O M SトランジスタQ 4及びQ 5を介して共通にI / O線I / Oに接続されている。このI / O線I / Oは電流(センス)型センスアンプ3に接続されている。また、ソース線S LはトランジスタQ 3を介して接地されており、このトランジスタQ 3のゲートにはソース線選択信号S S Lが印加され、トランジスタQ 4及びQ 5のゲートにはそれぞれY

ゲート信号Y 1及びY 2が印加される。

このような構成のE E P R O Mのメモリトランジスタへのデータ書き込み動作について説明する。書き込み動作は消去サイクルとプログラムサイクルからなり、消去サイクル、プログラムサイクルの順で実行される。以下、メモリトランジスタM 1に“1”を書き込み、メモリトランジスタM 2に“0”を書き込む場合を例に挙げて説明する。

消去サイクルにおいて、ソース線選択信号S S LをHに設定することによりトランジスタQ 3をオンさせ、メモリトランジスタM 1及びM 2のソースを接地する。そして、ワード線W L及びコントロールゲート線C G Lを図示しない高電圧発生手段により高電圧に立ちあげるとともに、ビット線B L 1及びB L 2をLに設定する。このように設定すると、メモリトランジスタM 1及びM 2のフローティングゲートに電子が注入されることにより、閾値電圧が共に高くなる(このときの閾値電圧を V_{th1} とする)。この状態が“1”記憶状態に相当する。

消去サイクルの次に実行されるプログラムサイクルにおいて、ソース線選択信号S S LをLに設定しトランジスタQ 3をオフさせ、メモリトランジスタM 1及びM 2のソースをフローティングにする。そして、ワード線W Lと“0”を書き込むべきメモリトランジスタM 2が接続されたビット線B L 2とを高電圧に立ちあげ、コントロールゲート線C G Lと“1”を書き込むべきメモリトランジスタM 1が接続されたビット線B L 1とをLに設定する。このように設定すると、メモリトランジスタM 1は何等変化しないがメモリトランジスタのフローティングゲートからは電子が引き抜かれるため、メモリトランジスタM 1の閾値電圧は変化せず、メモリトランジスタM 2の閾値電圧が低くなる(このときの閾値電圧を V_{th2} ($< V_{th1}$)とする)。このメモリトランジスタM 2の状態が“0”記憶状態に相当する。

このようにして、メモリトランジスタM 1には“1”がメモリトランジスタM 2には“0”が書き込まれる。

次にメモリトランジスタに書き込まれた記憶内容の読み出し動作について説明する。以下、メモリトランジスタM1の記憶内容の読み出し動作を例に挙げて説明する。

読み出し時において、ソース線選択信号SSLをHに設定することによりメモリトランジスタM1及びM2のソースを接地する。そして、Yゲート信号Y1をHにYゲート信号Y2をLに設定する。従って、ビット線対BL1及びBL2のうち、選択メモリトランジスタM1が接続されたビット線BL1のみI/O線I/Oを介して電流型センスアンプ3に電気的に接続される。この状態でワード線WLをHにして、コントロールゲート線CGLに読み出し電圧VR ($V_{th2} < V_R < V_{th1}$)を印加する。

このように設定すると、メモリトランジスタM1に“1”が記憶されている場合、メモリトランジスタM1はオフ状態を維持するため、ビット線BL1を介してI/O線I/Oからソース線SLにかけて電流は流れない。一方、メモリトランジ

スタM1に“0”が記憶されている場合、メモリトランジスタM1はオンするため、ビット線BL1を介してI/O線I/Oからソース線SLにかけて電流が流れる。この電流の流れの有無を電流型センスアンプ3によりセンスすることによってメモリトランジスタM1の記憶内容が読み出される。

〔発明が解決しようとする課題〕

従来のEEPROM等の不揮発性半導体記憶装置は以上のように構成されており、センスアンプに電流センス型のセンスアンプを用いビット線を通る電流の有無を検出することにより読み出し動作を行っていた。

このため、高集積化が進むに伴いメモリセルを通るセル電流が微小になると、読み出しに時間がかかりすぎるという問題点が生じてしまう。また、電流センス型のセンスアンプは、電源電圧マージンが3Vないし7V程度であり、1.5V程度の低電圧電源により動作させることは困難である。従って、電子手帳等のハンドヘルドコンピュ

ータのように低電力消費が要求されるバッテリー駆動型のコンピュータに用いるには不向きであるという問題点があった。加えて、低電力消費か否かに関わらず、誤動作なく電流センス型のセンスアンプにより読み出すためにはビット線の電位を1~1.5の低電位に保つ必要があり、ビット線の電位を1.5Vに保つための回路を別途設けなければならない。

この発明は上記のような問題点を解決するためになされたもので、低電圧電源によっても十分動作可能で、かつ高速読み出し可能な不揮発性半導体記憶装置を得ることを目的とする。

〔課題を解決するための手段〕

この発明にかかる不揮発性半導体記憶装置は、第1及び第2の電源から電源供給を行い、マトリクス状に配置され、フローティングゲートとコントロールゲートとを有し不揮発な記憶を行うメモリトランジスタからなるメモリセルと、同一列の前記メモリセルを介して前記第2の電源にそれぞれ接続され、互いに隣合う1組のビット線対を構

成した第1及び第2のビット線とを備え、読み出し時に前記第1及び第2のビット線のうち一方に接続されたメモリセルを行単位で選択し、選択された前記メモリセル内の前記メモリトランジスタがオンすると、このメモリトランジスタを有するメモリセルに接続されたビット線が前記第2の電源に電気的に接続される構成の不揮発性半導体記憶装置であって、読み出し時に、前記第1及び第2のビット線を共に、前記第1の電源の電位と前記第2の電源の電位との間の電位である第1の電位に設定する第1の読み出し動作を実行する第1のビット線電位設定手段と、前記第1の読み出し動作後に、前記第1及び第2のビット線のうち、選択されたメモリセルに接続されたビット線である選択ビット線を所定の抵抗成分を介して前記第1の電源に電気的に接続する第2の読み出し動作を実行する第2のビット線電位設定手段と、前記第1の読み出し動作後に、選択された前記メモリセルの前記メモリトランジスタの記憶内容の0/1に応じてオン/オフする読み出し電圧を該メモ

リトランジスタのコントロールゲートに付与する第3の読み出し動作を実行する読み出し電圧付与手段とを備え、前記第3の読み出し動作により前記メモリトランジスタがオンすると前記選択ビット線の電位は、前記第2の読み出し動作の実行中であっても、前記第1の電源と前記選択ビット線との間に形成される前記所定の抵抗成分により、少なくとも前記第1の電位より前記第2の電源側の第2の電位に設定され、前記第2及び第3の読み出し動作後に、前記ビット線対間の電位差を検出し増幅する第4の読み出し動作を実行する電圧センス型センスアンプをさらに備えて構成されている。

〔作用〕

この発明においては、第2のビット線電位設定手段及び読み出し電圧付与手段による第2及び第3の読み出し動作により、選択されたメモリセルのメモリトランジスタ（以下、「選択メモリトランジスタ」という）の記憶内容が“0”の場合、該選択メモリトランジスタがオンするため、選択

ビット線の電位は第2の読み出し動作実行中であっても、少なくとも第1の電位より第2の電源側の第2の電位に設定され、記憶内容が“1”の場合、選択メモリトランジスタがオフするため、選択ビット線の電位は第2の読み出し動作により設定された第1の電源の電位に導かれる。

一方、非選択のメモリセルが接続されたビット線（以下、「非選択ビット線」という）は、第1のビット線電位設定手段により、第1の電位に設定され、第2及び第3の読み出し動作実行後においても、この状態を維持する。

従って、第2及び第3の読み出し動作実行後において、選択ビット線と非選択ビット線との電位関係は、選択メモリトランジスタの記憶内容が“1”の場合は選択ビット線の方が高くなり、選択メモリトランジスタの記憶内容が“0”の場合は非選択ビット線の方が高くなる。

〔実施例〕

第1図はこの発明の一実施例であるEEPROMの基本構成を示す回路図である。同図に示すよ

うに、隣接するメモリセル1及び2はそれぞれビット線BL1及びBL2に接続されている。メモリセル1及び2はそれぞれ直列に接続されたNMOS選択トランジスタQ1及びQ2とメモリトランジスタM1及びM2とから構成されており、選択トランジスタQ1及びQ2のドレインがそれぞれビット線BL1及びBL2に接続され、メモリトランジスタM1及びM2のソースが共通にソース線SLに接続されている。また、選択トランジスタQ1及びQ2のゲートにはワード線WLが共通に接続され、メモリトランジスタM1及びM2のコントロールゲートにはコントロールゲート線CGLが共通に接続されている。

一方、ビット線BL1及びBL2はビット線対を構成しており、その一端がそれぞれビット線接続用NMOSトランジスタQ6及びQ7（共に閾値電圧 V_{th} ）を介してそれぞれセンス線SNL1及びSNL2に接続されている。このセンス線SNL1、SNL2間に電圧（センス）型センスアンプ4とイコライズ回路5を設けている。また、

NMOSトランジスタQ6及びQ7のゲートにそれぞれビット線接続信号BLT1及びBLT2が印加され、ソース線SLは、ゲートにソース線選択信号SSLが印加されるトランジスタQ3を介して接地されている。

電圧型センスアンプ4はPMOSトランジスタQ8とNMOSトランジスタQ9とから構成されるCMOSインバータ6と、PMOSトランジスタQ10とNMOSトランジスタQ11とから構成されるCMOSインバータ7との交差接続により構成される。そして、インバータ6及び7それぞれのPMOSトランジスタQ8及びQ9のソースは電源線L1に共通に接続され、インバータ6及び7それぞれのNMOSトランジスタQ9及びQ11のソースは電源線L2に共通に接続される。電源線L1はPMOSトランジスタQ12を介して電源 V_{CC} に接続され、電源線L2はNMOSトランジスタQ13を介して接地される。そして、インバータ6の出力部（インバータ7の入力部）がセンス線SNL1のノードSN1に接続され、

インバータ7の出力部(インバータ6の入力部)がセンス線SNL2のノードSN2に接続される。また、トランジスタQ13及びQ12のゲートにはそれぞれセンスアンプ活性化信号S0及び反転センスアンプ活性化信号 $\overline{S0}$ が印加される。

このような構成の電圧型センスアンプ4はセンスアンプ活性化信号S0がH(反転センスアンプ活性化信号 $\overline{S0}$ がL)になると活性状態となり、センスノードSN1とSN2との電位差を検出し、高電位側をHに低電位側をLに増幅する。

イコライズ回路5はNMOSTランジスタQ14、Q15及びQ16(全て閾値電圧 V_{th})より構成されており、NMOSTランジスタQ14及びQ15のドレインは共通に電源 V_{CC} に接続され、ソースはそれぞれセンス線SNL1及びSNL2に接続され、ゲートにはビット線イコライズ信号BLEQが共通に印加される。また、NMOSTランジスタQ16のゲートにもビット線イコライズ信号BLEQが印加され、そのドレイン及びソースにそれぞれセンス線SNL1及びSNL2が

接続される。

このような構成のイコライズ回路5はイコライズ信号BLEQがHの時、活性状態となり、NMOSTランジスタQ14～Q16はオンすることによりセンス線SNL1及びSNL2の電位を($V_{CC}-V_{th}$)に設定(イコライズ)する。

また、センス線SNL1及びセンス線SNL2それぞれは、プリチャージ用PMOSTランジスタQ17及びQ18を介して電源 V_{CC} に接続される。これらのPMOSTランジスタQ17及びQ18のゲートにはそれぞれプリチャージ信号 $\overline{PR1}$ 及び $\overline{PR2}$ が印加される。

なお、実際にはメモリセルはマトリクス状に配置されており、同一列のメモリセルは共通にビット線に接続され、各ビット線対間には電圧型センスアンプとイコライズ回路が設けられており、各センス線にはプリチャージ用トランジスタが接続され、同一行のメモリセルは共通にワード線及びコントロールゲート線に接続されているが、便宜上、一対のメモリセル1、2とその周辺のみ図示

している。

このような構成のEEPROMのメモリトランジスタへのデータ書き込みは従来同様に消去サイクルとプログラムサイクルとにより実行され、"1"記憶状態のとき閾値電圧は V_{th1} に設定され、"0"記憶状態のとき閾値電圧は V_{th2} ($<V_{th1}$)に設定される。

第2図は第1図で示したEEPROMの読み出し動作を示したタイミング図である。以下、同図を参照しつつ、メモリセル1のメモリトランジスタM1の記憶内容の読み出し動作を例に挙げて説明する。

読み出し時の初期状態時において、ソース線選択信号SSLをHに設定することによりメモリトランジスタM1及びM2のソースを接地する。そして、各信号BLEQ、 $\overline{PR1}$ 、 $\overline{PR2}$ 、BLT1、BLT2、WL、S0をそれぞれL、H、H、L、L、L、Hに設定する。従って、電圧型センスアンプ4とイコライズ回路5は非活性状態であり、PMOSTランジスタQ17及びQ18はオ

フする。。

そして、イコライズ期間T1において、イコライズ信号BLEQとビット線接続信号BLT1及びBLT2をHに立ち上げる。このように設定すると、イコライズ回路5は活性化するため、センス線SNL1のノードSN1及びセンス線SNL2のノードSN2それぞれの電位V1及びV2は共に($V_{CC}-V_{th}$)にイコライズされる。また、トランジスタQ6、Q7がオンするため、ビット線BL1及びBL2の電位も($V_{CC}-V_{th}$)にイコライズされる。

次に、選択ビット線電位設定期間T2において、イコライズ信号BLEQをLに立ち下げ、選択されたメモリセル1側のセンス線SNL1に接続されたPMOSTランジスタQ17のゲートに印加するプリチャージ信号 $\overline{PR1}$ をLに立ち下げる。すると、イコライズ回路5は非活性状態となり、PMOSTランジスタQ17はオンするため、選択メモリセル1が接続されたビット線(以下、「選択ビット線」と略す)BL1側のセンス線S

N L 1 の電位 V_1 は電源 V_{CC} の電位 (H レベル) に上昇する。

そして、メモリセル選択期間 T 3 において、非選択のメモリセル 2 が接続されたビット線 (以下、「非選択ビット線」と略す) B L 2 側のビット線接続信号 B L T 2 を L に立ち下げトランジスタ Q 7 をオフさせ、プリチャージ信号 $\overline{P R 1}$ を H に立ち上げて P M O S トランジスタ Q 1 7 をオフさせ、ワード線 W L を H にし選択トランジスタ Q 1 及び Q 2 をオンさせ、コントロールゲート線 C G L に読み出し電圧 V_R ($V_{th2} < V_R < V_{th1}$) を印加する。すると、メモリトランジスタ M 1 に “1” が記憶されている場合、メモリトランジスタ M 1 はオフ状態を維持するため、センス線 S N L 1 の電位 V_1 は V_{CC} を維持する。従って、 $V_1 > V_2$ となる。

一方、メモリトランジスタ M 1 に “0” が記憶されている場合、メモリトランジスタ M 1 はオンするため、選択トランジスタ Q 1 及びメモリトランジスタ M 1 を介してビット線 B L 1 は接地レベ

行える。

なお、第 2 図の例では選択ビット線の電位設定 (期間 T 2) 後にメモリセル選択 (期間 T 3) を行ったが、第 3 図の期間 T 2 3 に示すように、両者を同時に行っても良い。この場合、選択メモリセル側のセンス線 S N L 1 は電源、接地間に電気的に接続されることになるが、P M O S トランジスタ Q 1 7 (Q 1 8) のオン抵抗を適当に設定し、電源 V_{CC} を分圧することによりセンス線 S N L 1 の電位 V_1 を、確実に非選択ビット線側のセンス線 S N L 2 の電位よりも低い電位に設定することができる。

このようにビット線対ごとに電圧型センスアンプを設けることにより、同一のワード線に接続されるメモリセルのうち、半分のメモリセルの記憶データを同時に電圧型センスアンプに取り込むことができ、以降、この電圧型センスアンプにラッチされたデータを出力バッファに転送するだけで読み出し動作が行えるため、高速読み出しが可能となる。従って、メモリのシリアルアクセス等も

ルに導かれる。従って、 $V_1 < V_2$ となる。なお、メモリトランジスタ M 1 のトランジスタサイズは微小なため、第 2 図に示すように緩やかに L に向けて立下る。

次に、センス期間 T 4 において、ビット線接続信号 B L T 1 を L に立ち下げ、ワード線 W L を L に立ち下げるとともに、反転センスアンプ活性化信号 $\overline{S O}$ を L に立ち下げ電圧型センスアンプ 4 を活性化する。すると、 $V_1 > V_2$ の場合、 $V_1 = H$ 、 $V_2 = L$ に増幅され、 $V_1 < V_2$ の場合、 $V_1 = L$ 、 $V_2 = H$ に増幅される。なお、N M O S トランジスタ Q 6 及び Q 7 は共にオフしているため、センスノード S N 1 に付随する配線容量と S N 2 に付随する配線容量とが一致しており、反転センスアンプ活性化信号 $\overline{S O}$ を L に急峻に立ち下げても電圧型センスアンプ 5 は誤動作しない。

その後、図示しない I/O 線を介してセンス線 S N L 1 及び S N L 2 のうち、少なくとも一方の電位を図示しない出力バッファに出力することによりメモリトランジスタ M 1 のデータ読み出しが

高速に行える。

加えて、電圧型センスアンプは 1.5 V 程度の低電源でも十分正常動作が可能であり、低消費電力の E E P R O M が実現する。また、電源 V_{CC} の電位を 1.5 V に設定するだけで、他にビット線の電位を 1.5 V に保つための回路を別途設ける必要もなく、その分回路構成が簡単になる。

なお、この実施例では不揮発性半導体記憶装置として E E P R O M を示したが、これに限定されずこの発明を E P R O M 等の他の不揮発性半導体記憶装置に適用することもできる。

〔発明の効果〕

以上説明したように、この発明によれば、第 2 のビット線電位設定手段及び読み出し電圧付与手段による第 2 及び第 3 の読み出し動作の実行後、選択ビット線と非選択ビット線との電位関係は、選択メモリトランジスタの記憶内容が “1” の場合は選択ビット線の方が高くなり、選択メモリトランジスタの記憶内容が “0” の場合は非選択ビット線の方が高くなる。

従って、第2及び第3の読み出し動作後に、ビット線対間に設けられた電圧センス型センスアンプにより、ビット線対間の電位差を検出し増幅する第4の読み出し動作によりメモリトランジスタの記憶データを読み出せる。

その結果、同一行のメモリセルのうち、半分のメモリセルの記憶データの電圧センス型センスアンプへの読み出しを同時に行えるため、高速読み出しができる効果がある。また、電圧センス型センスアンプを用いることにより、低電圧電源によっても十分に正常動作が可能となる。

4. 図面の簡単な説明

第1図はこの発明の一実施例であるEEPROMの基本構成を示す回路図、第2図及び第3図はその読み出し動作を示すタイミング図、第4図は従来のEEPROMの基本構成を示す回路図である。

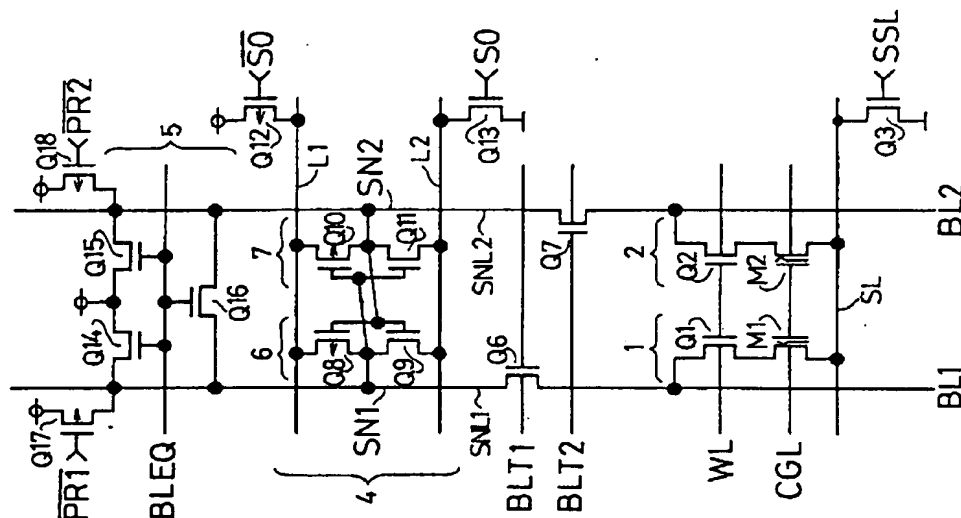
図において、1、2はメモリセル、4は電圧型センスアンプ、5はイコライズ回路、BL1、BL2はビット線、SLはソース線、Q17、Q1

8はプリチャージ用PMOSトランジスタである。

なお、各図中同一符号は同一または相当部分を示す。

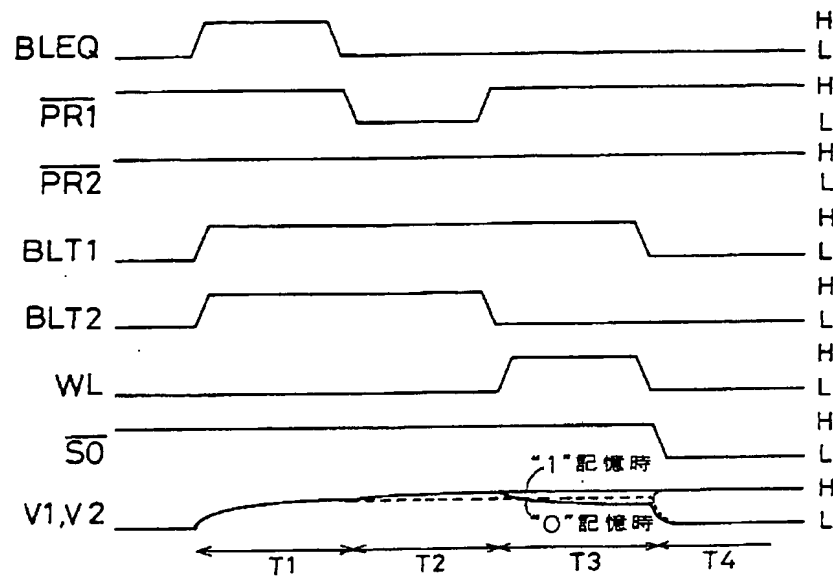
代理人 大 岩 増 雄

第1図

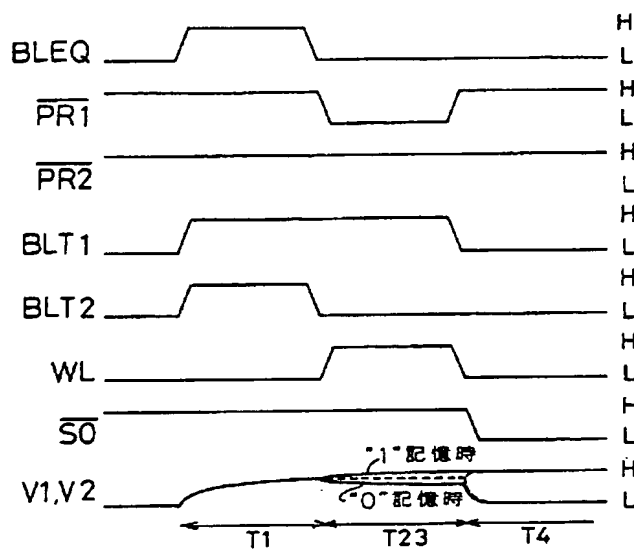


1,2:メモリセル
4:電圧型センスアンプ
5:イコライズ回路
BL1, BL2:ビット線
Q17, Q18:プリチャージ用PMOSトランジスタ

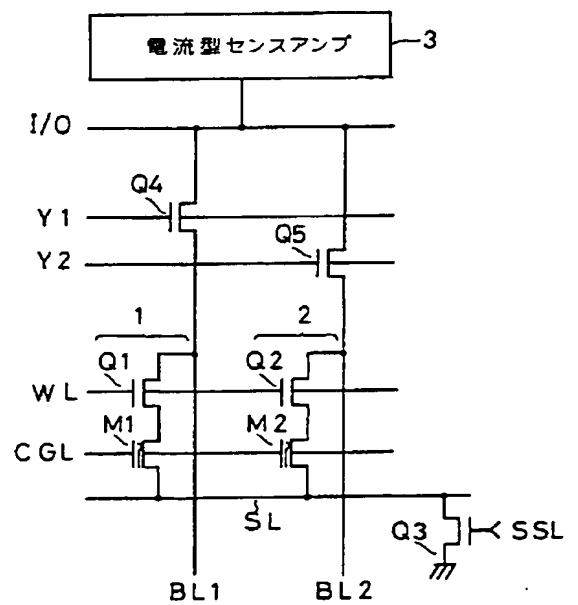
第 2 図



第 3 図



第 4 図



第1頁の続き

⑤Int. Cl.³

識別記号

庁内整理番号

H 01 L 27/115
29/788
29/792

8831-4M H 01 L 27/10 4 3 4

⑦発明者 小林 真一 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内



手続補正書(自発)

平成 3 年 5 月 10 日

特許庁長官殿

1. 事件の表示 平 特願 2-197472号

2. 発明の名称 不揮発性半導体記憶装置

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601)三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375)弁理士 大 岩 増 雄
(連絡先03(2137)3421特許部
(通話代金 05(2210)3421(15分50秒))



方式
審査



5. 補正の対象

明細書の「発明の詳細な説明の欄」

6. 補正の内容

- (1) 明細書第4頁第13行ないし第14行の「NOMSトランジスタ」を、「NMOSTランジスタ」に訂正する。
- (2) 明細書第4頁第17行の「トランジスタ」を、「NMOSTランジスタ」に訂正する。
- (3) 明細書第6頁第11行ないし第12行の「メモリトランジスタのフローティングゲート」を、「メモリトランジスタM2のフローティングゲート」に訂正する。
- (4) 明細書第9頁第4行の「誤動作なく電流センス型のセンスアンプにより読み出すためにはビット線の電位を1〜1.5の低電位に保つ必要があり、」を、「読み出し時にビット線の電位を1〜1.5Vの低電位に保つ必要があり、」に訂正する。
- (5) 明細書第14頁第12行の「PMOSTランジスタQ8及びQ9」を、「PMOSTラン

ジスタQ8及びQ10」に訂正する。

(8) 明細書第18頁第1行の「する。。」を、
「する。」に訂正する。

以上

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☒ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.